

模块化多电平换流器电容电压平衡并行排序方法

常 非¹, 杨中平¹, 陈 俊³, 贾海林², 许树楷³

(1. 北京交通大学电气工程学院, 北京 100044; 2. 北京四方继保自动化股份有限公司, 北京 100085;
3. 南方电网科学研究院, 广州 510080)

摘 要: 针对模块化多电平换流器 (MMC) 存在的电容电压均衡问题, 从实际工程出发, 采用了一种基于现场可编程逻辑门阵列 (FPGA) 的并行全比较电容电压实时排序算法。基于 RT-LAB 在环半实物仿真平台进行了实验。结果表明, 该算法实现了电容电压的排序并行处理, 排序运算只需要 4 个时钟的运算时间, 且运算时间不随桥臂子模块数量而变化, 达到了实时性排序的效果。此外, 该算法遵循了避免不必要的开关动作的原则, 降低了器件的开关频率和开关损耗。

关键词: 高压直流输电; 模块化多电平换流器; 电容电压; 现场可编程逻辑门阵列; 实时数字仿真器; RT-LAB

Parallel Sorting Method for Capacitor Voltage Balancing of MMC

CHANG Fei¹, YANG Zhongping¹, CHEN Jun³, JIA Hailin², XU Shukai³

(1. School of Electrical Engineering, Beijing Jiaotong University, Beijing 100044, China;
2. Beijing Sifang Automation Co., Ltd., Beijing 100085, China;
3. EPRI of China Southern Power Grid, Guangzhou 510080, China)

Abstract: It is difficult to solve the problem of voltage balancing among the sub-modules (SM), thus, we adopted a kind of parallel full comparison capacitor voltage real-time sorting algorithm based on FPGA from actual engineering standpoint. Based on RT-LAB, we conduct experiments on a loop semi-physical simulation system. The results show that the algorithm can realize the sort parallel technology of capacitor voltage with only four-clock operation time and the computation time does not vary with the number of sub-modules, so that real-time effect is good. Moreover, the algorithm follows the principles of avoiding unnecessary switch action that can reduce the switching frequency of devices and the switching loss.

Key words: HVDC transmission; MMC; capacitor voltage; FPGA; RTDS; RT-LAB

0 引言

模块化多电平换流器是德国学者 R. Marquardt 于 2001 年提出的新型电压源换流器拓扑结构^[1], 因其具有开关频率低、谐波含量小、模块化程度高等优点, 在柔性直流输电工程中得到了广泛应用。

模块化多电平换流器型直流输电 (MMC-HVDC) 近几年在国内外得到了较快发展。其中国内代表性的工程包括南澳 3 端: 200 MW/±160 kV, 桥臂子模块 (SM) 数 200 个; 舟山 5 端: 1 000 MW/±200 kV, 桥臂 SM 数 250 个。目前在建工程包括厦门 2 端: 1 000 MW/±320 kV, 桥臂 SM 数 400 个; 鲁西背靠背直流异步联网工程: 1 000 MW/±350 kV, 桥臂 SM 数 512 个。

MMC-HVDC 工程中每相桥臂含有大规模数量

的 SM, 大大加剧了控制器的运算量, 如果仍采用传统的全排序方法, 将导致控制器在控制周期内无法完成计算。为此文献[2-9]先后提出了各种降低排序运算量的方法。其中, 文献[2]通过引入子模块间最大电压偏差量来降低因排序算法导致的过多的绝缘栅门极晶体管 (IGBT) 开关次数; 文献[3]通过引入保持因子来减小排序的运算量; 文献[4-6]分别提出了电容电压的分组排序法; 文献[7]提出了电容电压分层控制法; 文献[8]提出了基于质因子分解的电容电压平衡优化算法; 文献[9]在文献[8]基础上将质因子分解法与希尔排序算法相结合来实现对 MMC 的电容电压平衡控制。上述文献所提出的方法均采用 PSCAD/EMTDC 进行了仿真验证, 取得了比较好的均压效果, 但都没有采用现场可编程逻辑门阵列 (FPGA) 进行实验测试, 这是因为实际工程中

电容电压的排序算法都是基于 FPGA 去实现的, 且其中某些方法在 FPGA 中的实现难度有待验证。

文献[10]提出一种适用于 FPGA 实现的电容电压均衡控制算法, 该算法采用动态分组排序, 可显著降低排序算法的计算量, 同时可减小器件开关损耗。不过该算法主要是基于串行实现方式, FPGA 并行运算的特点基本没有用到, 对 FPGA 而言可谓是“大材小用”, 所以只是一种适用于 FPGA 实现的算法。与串行计算相比, 并行计算可以提高 1 个以上数量级的性能, 所以排序算法在 FPGA 中的实现方法还有很大提升空间。基于此, 本文在前期工作的基础上, 从实际工程角度出发, 基于 FPGA 的硬件技术, 采用一种并行全比较的 MMC 电容电压排序算法^[11]。该算法利用 FPGA 的硬件特点, 通过对电容电压的并行全比较, 计算出每个电容电压在排序中的位置以实现电容电压的排序。该算法可在 4 个时钟周期内实现电容电压的排序, 且运算时间不随 MMC 桥臂子模块数量的变化, 实时性好, 通用性强。此外, 为了降低换流器的开关损耗, 又遵循避免不必要的开关动作的原则, 当需要投入的子模块个数增加时, 保持已投入的子模块不再进行投切操作; 当需要投入的子模块个数减小时, 保持已切除的子模块不再投入。最后基于 RT-LAB 硬件在环半实物仿真平台验证了所提算法的正确性和有效性。

1 MMC 换流器的基本结构

MMC 的桥臂采用子模块级联的方式, MMC 的每个桥臂由 n 个子模块和 1 个串联电抗器 L 组成, 同相的上下 2 个桥臂构成 1 个相单元, U_{dc} 为直流侧电压, 如图 1 所示。

MMC 的子模块一般采用半 H 桥结构, 如图 2 所示, 其中, C 为子模块电容, u_c 为子模块电容电压, u_{sm} 和 i_{sm} 分别为单个子模块的输出电压和电流。

2 基于载波层叠的 MMC 调制策略

载波同相层叠调制 (PD-SPWM) 比常用的载波移相调制(CPSM)更易实现, 且在桥臂 SM 数较多的情况下, 2 种调制方式下输出的电压电流谐波基本相同。

本文将 PD-SPWM 和电容电压排序算法相结合, 提出一种改进的 PD-SPWM 方法, 其整体控制流程如图 3 所示。

桥臂电压的参考调制波 u_{jp_ref} 或 u_{jn_ref} ($j=a, b, c$ 、

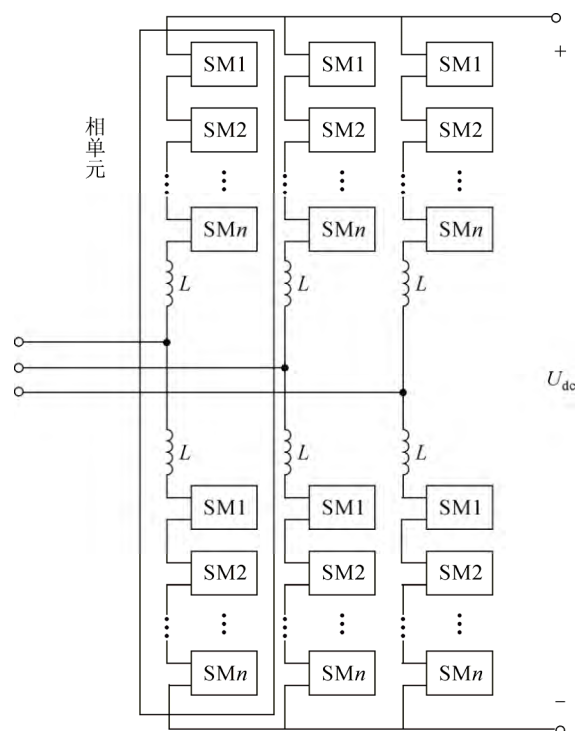


图 1 MMC 的基本结构

Fig.1 Basic structure of MMC

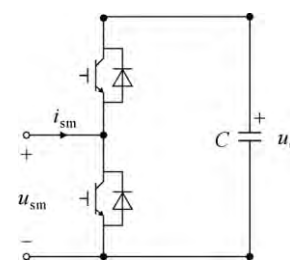


图 2 SM 的结构

Fig.2 Structure of SM

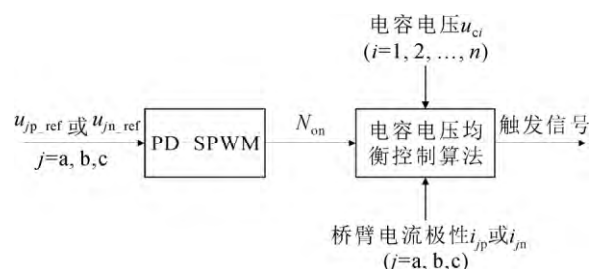


图 3 改进的 PD-SPWM 流程图

Fig.3 Flow chart of improved PD-SPWM

c, a, b, c 表示三相) 与三角载波相比较后, 并不直接对应于具体某个子模块的开通或关断, 而是将这些比较结果综合后, 统计出该桥臂上总的子模块开通个数 N_{on} (见图 4 中的 2、3...), 但具体哪几个子模块被触发开通则并不确定。这时再根据各个子

模块的电容电压排序结果和桥臂电流方向,通过电容电压平衡控制方法选择相应的 N_{on} 个子模块开通,并产生相应的触发脉冲。

3 基于FPGA的MMC电容电压平衡控制算法

已有大量的相关文献就排序算法进行了深入研究,但结合工程实际、采用FPGA研究电容电压平衡控制算法的文章还鲜有报道^[10]。

而实际MMC工程中,控制器基本采用DSP+FPGA架构,数字信号处理器(DSP)负责系统级算法的实现,FPGA负责阀级的控制,包括电容电压排序算法和脉冲触发。

传统的排序方法主要靠软件串行方式实现,包括冒泡法、选择法、计数法等,这些算法大多采用循环比较,运算费时,实时性差,不能满足实际MMC工程对实时性排序的要求。

本文基于FPGA的硬件特点,采用了一种并行全比较实时排序算法^[11],该算法基于电容电压中任意2个电压值进行并行比较,有别于传统排序算法以两两之间顺序比较为基础的特点。

3.1 基于FPGA的并行全比较实时排序算法原理

该算法基本原理为:对电容电压值先进行两两之间的比较,每2个电压值比较都会得到一个比较结果,可以根据2电压值的大小定义输出结果是1或0;对这些比较结果进行累加计算,即可得到该电压值在电容电压序列中的排序值;由于所有电容电压值的两两之间的比较都在硬件内同时进行,因此只需1个时钟的时间即可得到比较结果,再加上比较结果的和加等计算时间,几个时钟周期便能实现电容电压序列的排序。

下文将结合实例说明该算法的具体实现步骤:假设桥臂电容电压编号 $A_k(k=0, \dots, 9) \in \{500, 510, 552, 542, 531, 573, 584, 521, 563, 500\}$ 。

1) 第1个时钟周期:对所有电容电压值进行两两比较。这里规定,数 A_m 和数 $A_k(m \neq k)$ 相比较,如果 $A_m > A_k$,则比较结果 $Z=1$;否则 $Z=0$ 。当出现电容电压值相同时,按照原数据谁在前谁优先原则,即原数据在前的结果输出1,否则输出0。各电压值之间的比较结果见表1。

2) 第2个时钟周期:对电容电压的比较值进行累加,确定各电容电压在数组中的排序位置。从表1可得各电容电压值从小到大的排列顺序为: $A_0, A_9, A_1, A_7, A_4, A_3, A_2, A_8, A_5, A_6$ 。

3) 第3个时钟周期:把电容值赋给其对应的排序空间。

4) 第4个时钟周期:电容电压排序结果输出。

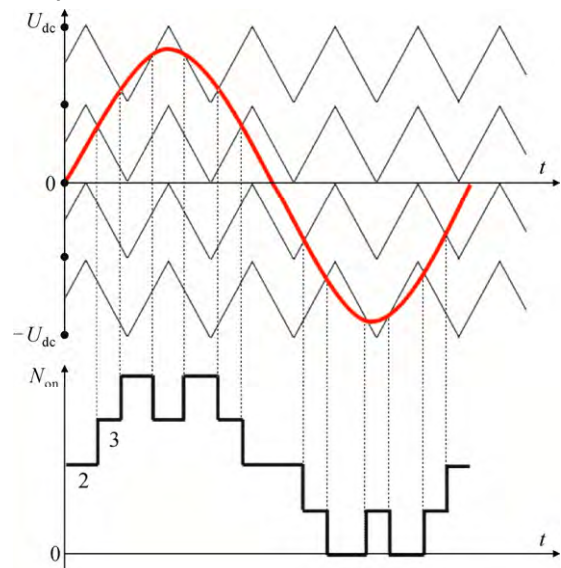


图4 改进的PD-SPWM调制器工作原理

Fig.4 Working principle of improved PD-SPWM modulator

表1 电容电压值比较结果表

Table 1 Comparison values of capacitor voltages

A_k	$A_0(500)$	$A_1(510)$	$A_2(552)$	$A_3(542)$	$A_4(531)$	$A_5(573)$	$A_6(584)$	$A_7(521)$	$A_8(563)$	$A_9(500)$	累加值
$A_0(500)$		0	0	0	0	0	0	0	0	0	0
$A_1(510)$	1		0	0	0	0	0	0	0	1	2
$A_2(552)$	1	1		1	1	0	0	1	0	1	6
$A_3(542)$	1	1	0		1	0	0	1	0	1	5
$A_4(531)$	1	1	0	0		0	0	1	0	1	4
$A_5(573)$	1	1	1	1	1		0	1	1	1	8
$A_6(584)$	1	1	1	1	1	1		1	1	1	9
$A_7(521)$	1	1	0	0	0	0	0		0	1	3
$A_8(563)$	1	1	1	1	1	0	0	1		1	7
$A_9(500)$	1	0	0	0	0	0	0	0	0		1

图5为在FPGA仿真软件QUARTUS平台环境下的排序设计仿真效果图。图5中, in0—in9为待比较的10个电容电压值, 经过4个时钟周期的流水线运算时间, 输出排序结果 out0—out9。

3.2 并行全比较实时排序性能分析

3.2.1 时间复杂性

在FPGA内只需4个时钟周期就可实现并行全比较排序计算, 时间复杂度为定值。如果FPGA的时钟周期为10 ns, 那么整个排序算法时间只有40 ns。

而传统的排序算法, 如冒泡法, 时间复杂度为 $n(n-1)/2$ ^[12-18], 按照时钟周期10 ns计算, 100个电容电压值的冒泡排序时间需要49.5 μ s, 远大于并行排序算法时间。

3.2.2 空间复杂性

由于并行全比较排序算法需要全并行处理, 因此占用了大量的处理空间。经计算统计, 如果需要排序的电容电压值为 n 个, 则并行排序算法需要 $n(n-1)/2$ 个比较器, 每个比较器在FPGA中占用的逻辑单元约为6个, 那么排序中比较器总共占用的逻辑单元约为 $3n(n-1)$ 个; 并行排序算法需要 n 个 $n-1$ 输入的加法器, 1个 $n-1$ 输入的加法器大约占用 $n-1$ 个逻辑单元, 那么排序中加法器总共占用的逻辑单元约为 $n(n-1)$ 个; 因此并行排序算法所占用的逻辑单元总计约为 $4n(n-1)$ 个。

如果每个桥臂100个子模块, 那么对100个电容电压值的排序需要近4万逻辑单元, 因此在实际MMC工程中, 需要选用高端的FPGA, 会增加硬件成本。

4 MMC电容电压平衡控制算法流程图

定义同一桥臂内各子模块之间的最大电压偏差 ΔU_{\max} 为^[2]

$$\Delta U_{\max} = u_{C_{\max}} - u_{C_{\min}}$$

式中: $u_{C_{\max}}$ 、 $u_{C_{\min}}$ 分别为同一时刻、同一桥臂内子模块电容电压的最大值和最小值。

当 ΔU_{\max} 大于允许值 $\Delta U_{\max_{\text{ref}}}$ 时, 采用传统的全排序触发方法; 否则就采用图6所示的优化触发方法。

MMC电容电压优化平衡控制算法具体实现流程如图6所示, 首先根据改进的PD-SPWM调制器计算当前控制周期需要投入的子模块个数 N_{on} , 之后与上一控制周期已投入的子模块个数 N_{old} 作差, 计算出投入SM数目的变化量 ΔN 。如果 $\Delta N = 0$, 则保持投入的SM个数不变; 如果 $\Delta N > 0$, 表示该控制周期应再多投入 $|\Delta N|$ 个子模块, 这时已经投入的子模块将不再进行操作, 而在上一控制周期已切除的 $(n - N_{\text{old}})$ 个子模块中, 按照桥臂电流 i_{arm} 方向,

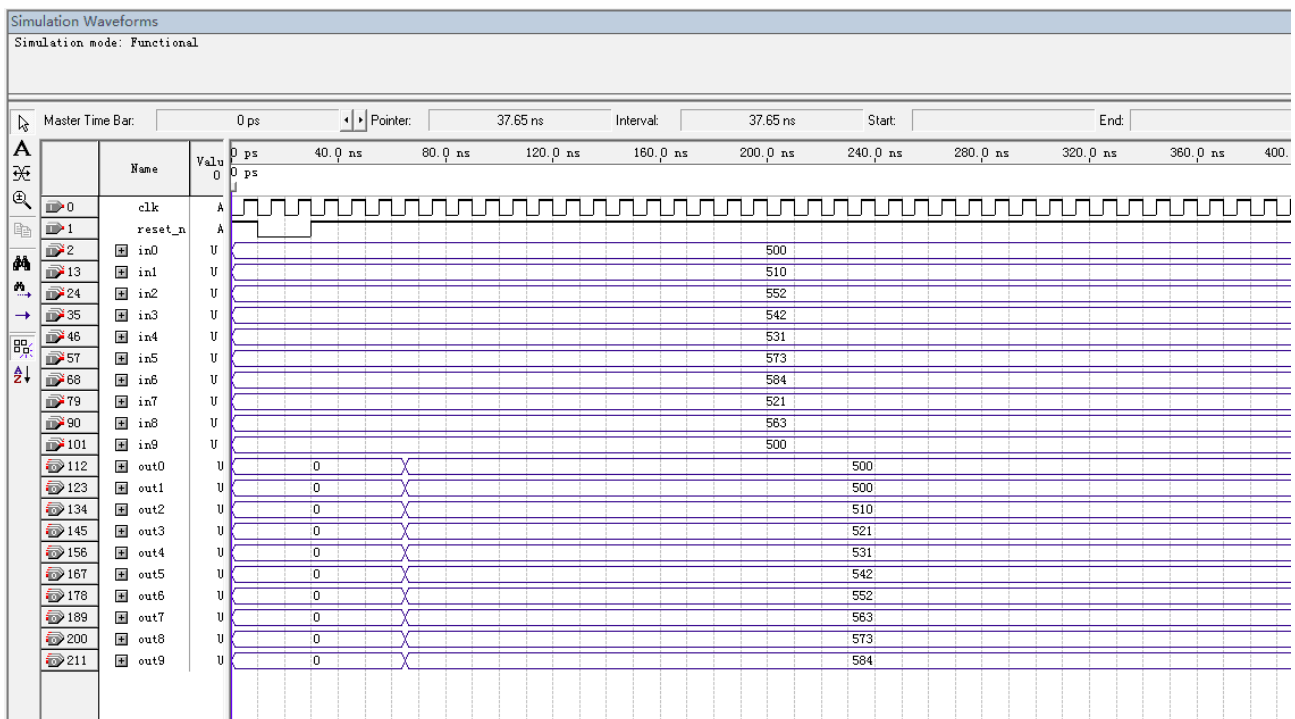


图5 排序设计仿真效果图

Fig.5 Simulation results of sorting algorithm

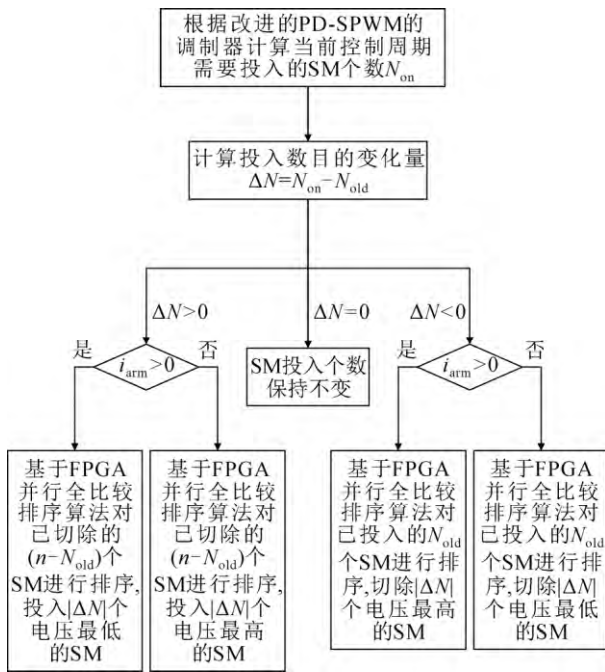


图 6 MMC 电容电压优化平衡控制算法流程图

Fig.6 Flow chart of MMC capacitor voltage optimization control algorithm

基于 FPGA 并行全比较的排序结果投入 $|\Delta N|$ 个 SM；反之，如果 $\Delta N < 0$ ，表示该控制周期应再多切除 $|\Delta N|$ 个子模块，这时已经切除的子模块将不再进行操作，而在上一控制周期已投入的 N_{old} 个 SM 中，按照桥臂电流 i_{arm} 方向，基于 FPGA 并行全比较的排序结果切除 $|\Delta N|$ 个 SM。

5 实验验证

本文基于 RT-LAB 硬件在环半实物仿真平台进行了实验验证，搭建的基于 MMC-HVDC 的海上风电场并网系统结构如图 7 所示，详细参数见表 2。

经实验测试，基于 FPGA 的并行全比较排序算法实际用时为 40 ns，与前述理论计算用时相符，也验证了算法运算时间不随桥臂子模块数量的变化，实时性好。而传统冒泡排序需用时 200 μs，可能导致数字处理器无法在控制周期内完成计算。其中，FPGA 系统时钟周期为 10 ns。

图 8 为在 2 种电容电压均衡控制算法下，MMC1 a 相上桥臂子模块电容电压 U_c 的波形。从图 8 中可以看出，本文新算法在遵循避免不必要的开关动作的原则的基础上，提高了排序速度，使得器件开关频率 f_{cr} 由 1 000 Hz 降低至 300 Hz。

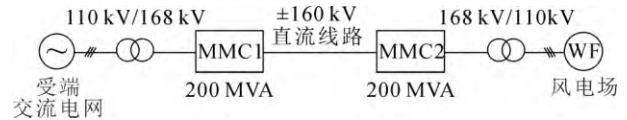


图 7 双端 MMC-HVDC 系统结构图

Fig.7 MMC-HVDC system structure diagram

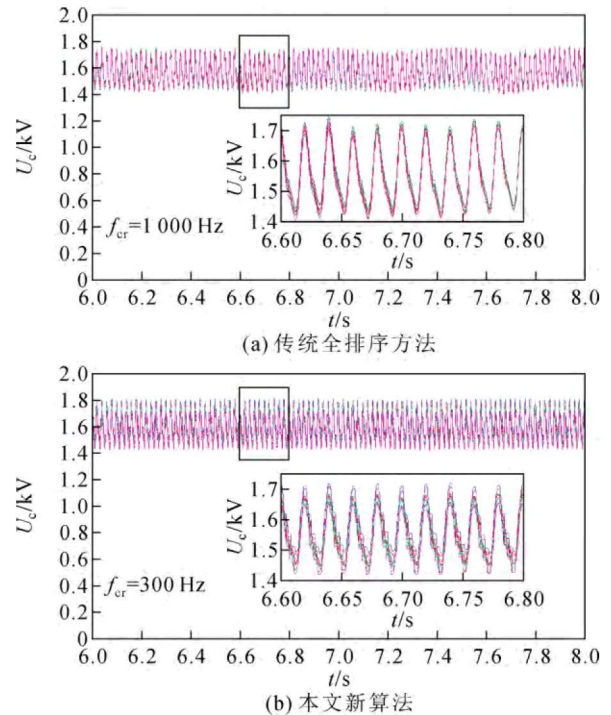


图 8 MMC1 a 相上桥臂电容电压波形

Fig.8 Capacitor voltage waveform of the upper bridge arm of phase a of MMC1

表 2 系统仿真参数

参数	有名值
额定功率 P/MW	200
交流系统电压 U_{s1} 、 U_{s2}/kV	110
变压器电压比 U_s/U_v	110 kV/168 kV
U_{dc}/kV	320
n	200
$C/\mu F$	5 000
L/mH	100
控制周期/ μs	100
调制方式	改进 PD-SPWM
电容电压平衡控制	新算法
$\Delta U_{max_ref}/kV$	0.1

6 结论

本文提出一种基于 FPGA 的电容电压平衡控制算法，该算法具有以下优点：

- 1) 只需要 4 个时钟周期便可完成电容电压的

排序, 且运算时间不随排序电容电压数据量变化。

2) 遵循了避免不必要的开关动作的原则, 可降低器件的开关频率。

参考文献 References

- [1] Marquardt R. Stromrichter schaltungen mit verteilt enenergie speichern:DE10103031A1[P]. 2001-01-24.
- [2] 屠卿瑞, 徐 政, 郑 翔, 等. 一种优化的模块化多电平换流器电容电压均衡控制方法[J]. 电工技术学报, 2011, 26(5): 15-20.
TU Qingrui, XU Zheng, ZHENG Xiang, *et al.* An optimized voltage balancing method for modular multilevel converter[J]. Transactions of China Electrotechnical Society, 2011, 26(5): 15-20.
- [3] 管敏渊, 徐 政. MMC 型 VSC-HVDC 系统电容电压的优化平衡控制[J]. 中国电机工程学报, 2011, 31(12): 9-14.
GUAN Minyuan, XU Zheng. Optimized capacitor voltage balancing control for modular multilevel converter based VSC-HVDC system[J]. Proceedings of the CSEE, 2011, 31(12): 9-14.
- [4] 王 平, 楚遵方, 李子欣, 等. 一种模块化多电平换流器功率模块电容电压均压方法: 10296992[P]. 2013-03-13.
WANG Ping, CHU Zunfang, LI Zixin, *et al.* A kind of modular multilevel converter power module capacitor voltage equalizing method: 10296992[P]. 2013-03-13.
- [5] 赵成勇, 刘兴华, 王朝亮, 等. 一种模块化多电平换流器的子模块分组均压控制方法: 10291659[P]. 2013-02-16.
ZHAO Chengyong, LIU Xinghua, WANG Chaoliang, *et al.* Pressure control method for sub module packet of a modular multilevel converter: 10291659[P]. 2013-02-16.
- [6] 陆 翌, 王朝亮, 彭茂兰, 等. 一种模块化多电平换流器的子模块优化均压方法[J]. 电力系统自动化, 2014, 38(3): 52-58.
LU Yi, WANG Chaoliang, PENG Maolan, *et al.* An optimized method for balancing sub-module voltages in modular multilevel converters[J]. Automation of Electric Power Systems, 2014, 38(3): 52-58.
- [7] 林周宏, 刘崇茹, 李海峰, 等. 模块化多电平换流器的子模块电容电压分层均压控制法[J]. 电力系统自动化, 2014, 38(3): 1-7.
LIN Zhouhong, LIU Chongru, LI Haifeng, *et al.* A stratified voltage balancing control method of sub-module capacitor voltage for modular multilevel converter[J]. Automation of Electric Power Systems, 2014, 38(3): 1-7.
- [8] 彭茂兰, 赵成勇, 刘兴华, 等. 采用质因子分解法的模块化多电平换流器电容电压平衡优化算法[J]. 中国电机工程学报, 2014, 34(33): 5846-5853.
PENG Maolan, ZHAO Chengyong, LIU Xinghua, *et al.* An optimized capacitor voltage balancing control algorithm for modular multilevel converter employing prime factorization method[J]. Proceedings of the CSEE, 2014, 34(33): 5846-5853.
- [9] 何智鹏, 许建中, 苑 宾, 等. 采用质因子分解法与希尔排序算法的 MMC 电容均压策略[J]. 中国电机工程学报, 2015, 35(12): 2980-2988.
HENG Zhipeng, XU Jianzhong, YUAN Bin, *et al.* A capacitor voltage balancing strategy adopting prime factorization method and shell sorting algorithm for modular multilevel converter[J]. Proceedings of the CSEE, 2015, 35(12): 2980-2988.
- [10] 常 非, 杨晓峰, 贾海林, 等. 适用于现场可编程门阵列的 MMC 电容电压平衡控制方法[J]. 电网技术, 2015, 39(5): 1246-1253.
CHANG Fei, YANG Xiaofeng, JIA Hailin, *et al.* A capacitor voltage balance control algorithm for modular multilevel converter suitable to field programmable gate array[J]. Power System Technology, 2015, 39(5): 1246-1253.
- [11] 师廷伟, 金长江. 基于 FPGA 的并行全比较排序算法[J]. 数字技术与应用, 2013, 10(5): 126-127.
SHI Tingwei, JIN Changjiang. Parallel full comparison sorting algorithm based on FPGA[J]. Digital Technology and Application, 2013, 10(5): 126-127.
- [12] 赵成勇, 李 丹, 刘羽超, 等. 含有 STATCOM 的高压直流输电系统控制方法[J]. 高电压技术, 2014, 40(8): 2440-2448.
ZHAO Chengyong, LI Dan, LIU Yuchao, *et al.* Control method for HVDC system with STATCOM[J]. High Voltage Engineering, 2014, 40(8): 2440-2448.
- [13] 马为民, 吴方劫, 杨一鸣, 等. 柔性直流输电技术的现状及应用前景分析[J]. 高电压技术, 2014, 40(8): 2429-2439.
MA Weimin, WU Fangjie, YANG Yiming, *et al.* Flexible HVDC transmission technology's today and tomorrow[J]. High Voltage Engineering, 2014, 40(8): 2429-2439.
- [14] 刘志文, 林智莘, 周治国, 等. 电压源换流器实时多速率仿真研究[J]. 高电压技术, 2015, 41(7): 2362-2369.
LIU Zhiwen, LIN Zhishen, ZHOU Zhiguo, *et al.* Research on real-time multi-rate simulation of voltage source converters[J]. High Voltage Engineering, 2015, 41(7): 2362-2369.
- [15] 赵成勇, 李春华, 李路遥, 等. 提高直流输电换相能力的强迫换相拓扑结构研究[J]. 高电压技术, 2015, 41(7): 2370-2377.
ZHAO Chengyong, LI Chunhua, LI Luyao, *et al.* Forced commutation topology to improve ability of HVDC commutation[J]. High Voltage Engineering, 2015, 41(7): 2370-2377.
- [16] 熊岳山, 刘 越. 数据结构与算法[M]. 北京: 电子工业出版社, 2007: 14-16.
XIONG Yueshan, LIU Yue. Data structures and algorithms[M]. Beijing, China: Publishing House of Electronics Industry, 2007: 14-16.
- [17] 徐 政, 屠卿瑞, 管敏渊, 等. 柔性直流输电系统[M]. 北京: 机械工业出版社, 2014: 20-25.
XU Zheng, TU Qingrui, GUAN Minyuan, *et al.* Flexible HVDC system[M]. Beijing, China: China Machine Press, 2014: 20-25.
- [18] 赵成勇. 柔性直流输电建模和仿真技术[M]. 北京: 中国电力出版社, 2014: 50-60.
ZHAO Chengyong. HVDC modeling and simulation technology[M]. Beijing, China: China Electric Power Press, 2014: 50-60.



CHANG Fei

Ph.D. candidate

Corresponding author

常 非(通信作者)

1986—, 男, 博士生

研究方向为柔性输电

E-mail: 14117397@bjtu.edu.cn

收稿日期 2016-04-02 修回日期 2016-08-19 编辑 程子丰